

## SIMULASI LOW DENSITY PARITY CHECK CODE BERBASIS FIELD PROGRAMMABLE GATE ARRAY

Reza Dynasti Pramana<sup>1</sup>, M Ary Murti<sup>2</sup>, Budi Prasetya<sup>3</sup>

<sup>1</sup>Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

### Abstrak

Seiring dengan perkembangan jaman, sistem komunikasi wireless dituntut untuk dapat menyediakan layanan data yang berkecepatan tinggi (high data rate) dengan QoS yang dapat dipercaya atau reliable (BER yang kecil dan dengan Eb/No semimum mungkin). Masalah yang muncul pada sistem komunikasi bergerak atau wireless adalah adanya berbagai macam noise. Akibatnya kekeliruan penerimaan data pada sisi penerima akan meningkat. LDPC adalah suatu teknik pengkodean yang paling sesuai dengan sistem forward error correction (FEC). Fourier transform pada LDPC berfungsi untuk mengurangi kompleksitas pada proses decoding. LDPC code didefinisi sebagai kode sparse parity check matrix dan diharapkan dengan mengirimkan high-bit-rate dapat memiliki probabilitas kesalahan bit yang rendah. Sparse parity check matrix adalah parity check yang memiliki kerapatan yang rendah. Disebut low density parity check (LDPC) karena sifatnya yang lebih banyak '0' dari pada '1' pada matrik parity check. Keunggulan utama dari teknik pengkodean ini adalah LDPC dapat menghasilkan performansi yang sangat mendekati nilai kapasitas dari berbagai macam kanal (Shannon Limit) dan mempunyai proses decoding yang linier. Pada LDPC menggunakan code rate  $\frac{1}{2}$  menghasilkan performansi yang baik untuk sistem komunikasi. Dengan menggunakan sistem iterasi pada dekoder, LDPC dapat menghasilkan nilai bit error yang kecil pada berbagai macam keadaan SNR.

**Kata Kunci :** LDPC, VHDL, FPGA

### Abstract

Along with modern technology, digital wireless communication system is demanded to serve high data rate with reliable QOS (small BER with minimum SNR). Various noise on wireless communication is a problems. It makes mistakes of receive data in receiver side increased. LDPC is a encoding technique which is proper with Forward Error Correction system. Fourier transform on LDPC is used to decrease complicated on decoding process. LDPC code is defined as sparse parity check matrix code and hoped by sending high-bit-rate will produce the low bit error probability. Sparse parity check matrix is parity check which has low closing bit. It is called low density parity check because it behavior that has more 0 (zero) than 1 (one) on parity check matrix. The main predominance of this technique is LDPC can producing performance which has closing value to various channel (Shannon Limit) and it have linear decoding process. LDPC use code rate  $\frac{1}{2}$  to produce great performance for communication system. By using iteration system on decoder, LDPC produce low error bit value on various SNR condition. Requirement on designing this project is using VHDL (VHSIC (Very High Speed Integrated Circuit) hardware description language) language and to synthesize or to load the logic circuit is by using FPGA (Field Programmable Gate Array).

**Keywords :** LDPC, VHDL, FPGA

## BAB I

### PENDAHULUAN

#### 1.1 LATAR BELAKANG

Salah satu teknik pengkodean yang akan digunakan dan diuji pada tugas akhir ini adalah LDPC code. LDPC adalah suatu teknik pengkodean yang paling sesuai dengan sistem *forward error correction* (FEC). *Fourier transform* pada LDPC berfungsi untuk mengurangi kompleksitas pada proses decoding. LDPC code didefinisi sebagai kode *sparse parity check matrix* dan diharapkan dengan mengirimkan *high-bit-rate* dapat memiliki probabilitas kesalahan *bit* yang rendah. *Sparse parity check matrix* adalah parity check yang memiliki kerapatan yang rendah. Disebut low density parity check (LDPC) karena sifatnya yang lebih banyak '0' dari pada '1' pada matrik *parity check*.

Keunggulan utama dari teknik pengkodean ini adalah LDPC dapat menghasilkan performansi yang sangat mendekati nilai kapasitas dari berbagai macam kanal (Shannon Limit) dan mempunyai proses *decoding* yang linier. LDPC pertama kali diperkenalkan oleh Gallager dalam tesis PHD-nya pada tahun 1960. Secara umum terdapat dua cara untuk merepresentasikan kode LDPC. Sama halnya dengan semua pengkodean *linear block*, kode LDPC dapat direpresentasikan melalui bentuk matrik. Representasi yang kedua adalah bentuk *graph*.

Kebutuhan dalam melakukan pendisainan Tugas Akhir ini adalah dengan menggunakan bahasa pemrograman VHDL (VHSIC (*Very High Speed Integrated Circuit*) *hardware description language*) dan untuk mensintesis atau meload rangkaian digitalnya yaitu dengan menggunakan FPGA (*Field Programmable Gate Array*).

#### 1.2 TUJUAN & MANFAAT

Tujuan dan manfaat penelitian yang akan dilakukan yaitu: membuat sistem *coding* yang menggunakan metode LDPC pada VHDL dan disintesis menggunakan *software* untuk *meload* simulasi VHDL ke FPGA.

### 1.3 RUMUSAN MASALAH

Dalam Tugas Akhir ini akan dibahas masalah performansi *Low Density Parity Check (LDPC) Code*. Tugas Akhir ini terbagi dalam beberapa rumusan adalah:

1. Bagaimana membuat sistem LDPC Code dalam VHDL,
2. Bagaimana menguji dan menentukan parameter-parameter LDPC Code yang paling optimum,

### 1.4 BATASAN MASALAH

Agar dalam pengerjaan Tugas Akhir ini didapatkan hasil yang optimal dan terarah, maka masalah akan dibatasi sebagai berikut:

1. *Coding* dengan menggunakan algoritma *sum of product*.

### 1.5 HIPOTESA

Dengan menggunakan pengkodean LDPC Code dapat memberikan performansi modulasi dan *coding* yang handal.

### 1.6 METODOLOGI

Metode penelitian yang akan digunakan untuk memecahkan permasalahan dalam Tugas Akhir ini terdiri dari 3 tahap, yaitu :

1. Tahap Studi Literatur

Pada tahap ini akan dilakukan pendalaman pemahaman tentang konsep dan teori dari sistem LDPC code, *Encoder* dan *Decoder Iterative*.

2. Tahap pemodelan dan Simulasi

Pada tahap ini akan dilakukan desain model kemudian disimulasikan.

3. Tahap Analisis

Pada tahap ini akan dilakukan analisis terhadap hasil dari simulasi yang dilakukan.



## BAB V

### KESIMPULAN DAN SARAN

#### 5.1.KESIMPULAN

- a. Sistem ini adalah ideal, maka dari itu hasil dari penelitian ini adalah bagus dan mendekati kesempurnaan,
- b. Performansi dari LDPC dekoder iteratif untuk setiap skenario SNR adalah sebagai berikut: 100 dB (0/10,000), 9 dB (7/10,000), 6 dB (45/10,000), 3 dB (413/10,000), dan 0 dB (3277/10,000), menunjukkan simulasi Decoder Iterative ini sudah mampu melakukan error correction (kegagalan perbaikan bit hanya sedikit terjadi). Sinyal dengan SNR 0 dB dapat disimpulkan memiliki noise yang besar.
- c. Performansi clock; *Minimum period*: 20.859ns (*Maximum Frequency*: 47.942MHz). Artinya maksimum periode yang digunakan dalam melewati informasi pada blok LDPC ini adalah sebesar 20.859ns.
- d. Karena bit informasi adalah 4 bit dan bit yang dikirimkan adalah 8 bit, maka code rate  $R=1/2$ .
- e. Coderate yang akan menghasilkan performansi yang paling baik adalah coderate 1/2. Coderate  $\frac{1}{2}$  artinya panjang informasinya  $\frac{1}{2}$  kali dari panjang codeword.
- f. Jumlah iterasi *decoding* yang semakin banyak akan meningkatkan performansi sistem.

#### 5.2.SARAN

- a. Perlu dilihat performansi nyatanya dengan merancang blok modulasi pada implementasi penelitian,
- b. Perlu dibuat juga blok ADC/DAC untuk melihat simulasi nyata dari suatu sistem komunikasi yang melakukan pengiriman dan penerimaan suatu informasi.

## DAFTAR PUSTAKA

- [1] Wada, Tom. "2-D Product Code Iterative Decoder", <http://www.ie.u-ryukyu.ac.jp/~wada/design06/spec e.html>, October 1st, 2005.
- [2] Perry, Douglas L. "VHDL Programming by Example", McGraw-Hill. United State of America. 2002.
- [3] Huda, Nurul. "Analisis Performansi Teknik Pengkodean Regular dan Irregular Low Density Parity Check Code Pada Sistem MC-CDMA", Institut Teknologi Telekomunikasi, Bandung, 2008.
- [4] "ModelSim Advance Verification and Debugging". Mentor Graphic Cooperation. Oregon, 2004.
- [5] Hughes, Mark. "Iterative Circuit for an N-Bit Comparator". 2006

